

Family list

7 family members for:

JP2001257350

Derived from 5 applications.

- 1 SEMICONDUCTOR DEVICE AND ITS PREPARATION METHOD**
Publication info: **JP2001257350 A** - 2001-09-21
- 2 No English title available**
Publication info: **TW503444 B** - 2002-09-21
- 3 Semiconductor device and manufacturing method thereof**
Publication info: **US6387737 B1** - 2002-05-14
- 4 Semiconductor device and manufacturing method thereof**
Publication info: **US6747288 B2** - 2004-06-08
US2002132396 A1 - 2002-09-19
- 5 Semiconductor device and manufacturing method thereof**
Publication info: **US7019329 B2** - 2006-03-28
US2005059199 A1 - 2005-03-17

Data supplied from the *esp@cenet* database - Worldwide

SEMICONDUCTOR DEVICE AND ITS PREPARATION METHOD

Patent number: JP2001257350

Publication date: 2001-09-21

Inventor: YAMAZAKI SHUNPEI; KUWABARA HIDEAKI; ARAI YASUYUKI

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:


- international: H01L21/00; H01L21/336; H01L21/84; H01L27/12; H01L21/00; H01L21/02;
H01L21/70; H01L27/12; (IPC1-7): H01L29/786; G02F1/1368; G09F9/30;
H01L21/336

- european: H01L21/00S2Z; H01L21/336D2C; H01L21/84; H01L27/12

Application number: JP20000064227 20000308

Priority number(s): JP20000064227 20000308

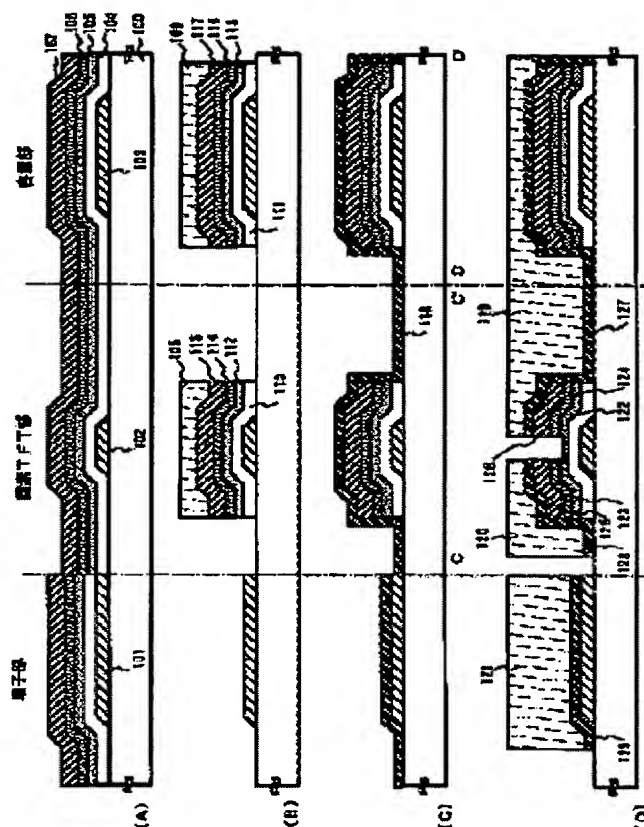
Also published as:

 US6387737 (B1)

Report a data error here

Abstract of JP2001257350

PROBLEM TO BE SOLVED: To solve the problem where in the conventional liquid crystal display device a TFT is prepared, using at least five photomasks and requires a large manufacturing cost. **SOLUTION:** A pixel TFT part, having a reverse stagger type n-channel type TFT and a liquid crystal display device having holding capacity, can be realized with three-time photolithographic processes by forming a pixel electrode 127, a source region 123 and a drain region 124 by means of three photomasks.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-257350

(P 2 0 0 1 - 2 5 7 3 5 0 A)

(43) 公開日 平成13年9月21日 (2001.9.21)

(51) Int. Cl. ⁷

識別記号

F I

テマコード (参考)

H01L 29/786

21/336

G02F 1/1368

G09F 9/30

338

G09F 9/30

338

2H092

H01L 29/78

612

D 5C094

G02F 1/136

500

5F110

H01L 29/78

627

C

審査請求 未請求 請求項の数25 O L (全18頁)

(21) 出願番号

特願2000-64227 (P 2000-64227)

(22) 出願日

平成12年3月8日 (2000.3.8)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 桑原 秀明

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 荒井 康行

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

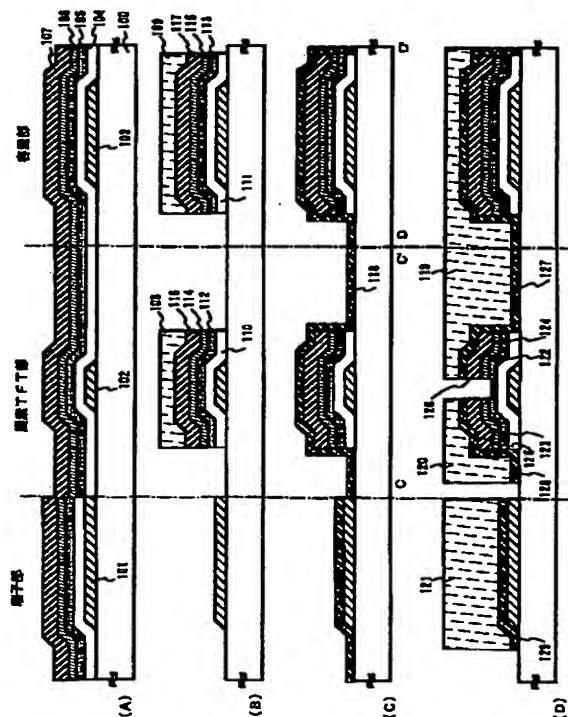
最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 従来の液晶表示装置は、最低でも5枚以上のフォトマスクを使用してTFTを作製していたため製造コストが大きかった。

【解決手段】 3枚目のフォトマスクにより画素電極127、ソース領域123及びドレイン領域124の形成を行うことにより、3回のフォトリソグラフィ工程で、逆スタガ型のnチャネル型TFTを有する画素TFT部、及び保持容量を備えた液晶表示装置を実現することができる。



【特許請求の範囲】

【請求項1】ゲート配線と、ソース配線と、画素電極とを有する半導体装置であって、絶縁表面上に形成されたゲート配線と、前記ゲート配線上に形成された絶縁膜と、前記絶縁膜上に形成された非晶質半導体膜と、前記非晶質半導体膜上に形成されたソース領域及びドレイン領域と、前記ソース領域または前記ドレイン領域上に形成されたソース配線または電極と、前記電極上に形成された画素電極とを有し、前記ドレイン領域または前記ソース領域の一つの端面は、前記絶縁膜の端面、前記非晶質半導体膜の端面、及び前記電極の端面と概略一致することを特徴とする半導体装置。

【請求項2】ゲート配線と、ソース配線と、画素電極とを有する半導体装置であって、絶縁表面上に形成されたゲート配線と、前記ゲート配線上に形成された絶縁膜と、前記絶縁膜上に形成された非晶質半導体膜と、前記非晶質半導体膜上に形成されたソース領域及びドレイン領域と、前記ソース領域または前記ドレイン領域上に形成されたソース配線または電極と、前記電極上に形成された画素電極とを有し、前記ドレイン領域または前記ソース領域の一つの端面は、前記絶縁膜の端面、前記非晶質半導体膜の端面、及び前記電極の端面と概略一致し、もう一つの端面は、前記画素電極の端面及び前記電極のもう一つの端面と概略一致することを特徴とする半導体装置。

【請求項3】請求項1または請求項2において、前記ソース領域及び前記ドレイン領域は、n型を付与する不純物元素を含む非晶質半導体膜からなることを特徴とする半導体装置。

【請求項4】請求項1乃至3のいずれかにおいて、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、及び前記ドレイン領域は、大気に曝されることなく連続的に形成されたことを特徴とする半導体装置。

【請求項5】請求項1乃至4のいずれかにおいて、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、または前記ドレイン領域は、スパッタ法により形成されたことを特徴とする半導体装置。

【請求項6】請求項1乃至5のいずれかにおいて、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、または前記ドレイン領域は、プラズマCVD法により形成されたことを特徴とする半導体装置。

【請求項7】請求項1乃至6のいずれかにおいて、前記ゲート配線は、Al、Ti、Mo、W、Ta、NdまたはCrから選ばれた元素を主成分とする膜またはそれらの合金膜またはそれらの積層膜からなることを特徴と

する半導体装置。

【請求項8】請求項1乃至7のいずれかにおいて、前記ソース領域及び前記ドレイン領域は、前記絶縁膜、前記非晶質半導体膜、及び前記電極と同一のマスクにより形成されたことを特徴とする半導体装置。

【請求項9】請求項1乃至8のいずれかにおいて、前記ソース領域及び前記ドレイン領域は、前記ソース配線と同一のマスクにより形成されたことを特徴とする半導体装置。

10 【請求項10】請求項1乃至8のいずれかにおいて、前記ソース領域及び前記ドレイン領域は、前記ソース配線及び前記画素電極と同一のマスクにより形成されたことを特徴とする半導体装置。

【請求項11】請求項1乃至10のいずれかにおいて、前記非晶質半導体膜のうち、前記ソース領域及びドレイン領域と接する領域における膜厚は、前記ソース領域と接する領域と前記ドレイン領域と接する領域との間の領域における膜厚より厚いことを特徴とする半導体装置。

20 【請求項12】請求項1乃至11のいずれかにおいて、前記半導体装置は、前記画素電極が透明導電膜からなる透過型の液晶表示装置であることを特徴とする半導体装置。

【請求項13】請求項1乃至11のいずれかにおいて、前記半導体装置は、前記画素電極がAlまたはAgを主成分とする膜またはそれらの積層膜からなる反射型の液晶表示装置であることを特徴とする半導体装置。

30 【請求項14】請求項1乃至13のいずれかにおいて、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、または電子遊技機器であることを特徴とする半導体装置。

【請求項15】第1のマスクを用いてゲート配線を形成する第1工程と、

前記ゲート配線を覆う絶縁膜を形成する第2工程と、前記絶縁膜上に第1の非晶質半導体膜を形成する第3工程と、

前記第1の非晶質半導体膜上にn型を付与する不純物元素を含む第2の非晶質半導体膜を形成する第4工程と、40 前記第2の非晶質半導体膜上に第1の導電膜を形成する第5工程と、

第2のマスクを用いて前記絶縁膜、前記第1の非晶質半導体膜、第2の非晶質半導体膜、及び前記第1の導電膜を選択的に除去してソース配線及び電極を形成する第6工程と、

前記ソース配線及び電極と接して重なる第2の導電膜を形成する第7工程と、

第3のマスクを用いて前記第1の非晶質半導体膜の一部、第2の非晶質半導体膜、前記第1の導電膜、及び前記第2の導電膜を選択的に除去して、前記第2の非晶質

半導体膜からなるソース領域及びドレイン領域と、前記第2の導電膜からなる画素電極とを形成する第8工程と、を有することを特徴とする半導体装置の作製方法。

【請求項16】請求項15において、前記第2工程から前記第5工程まで、大気に曝されることなく連続的に形成することを特徴とする半導体装置の作製方法。

【請求項17】請求項15または請求項16において、前記絶縁膜は、スパッタ法により形成することを特徴とする半導体装置の作製方法。

【請求項18】請求項15乃至17のいずれかにおいて、前記第1の非晶質半導体膜は、スパッタ法により形成することを特徴とする半導体装置の作製方法。

【請求項19】請求項15乃至18のいずれかにおいて、前記第2の非晶質半導体膜は、スパッタ法により形成することを特徴とする半導体装置の作製方法。

【請求項20】請求項15乃至18のいずれかにおいて、前記第2工程から前記第5工程まで、同一チャンバー内で連続的に形成することを特徴とする半導体装置の作製方法。

【請求項21】請求項15において、前記絶縁膜は、プラズマCVD法により形成することを特徴とする半導体装置の作製方法。

【請求項22】請求項15または請求項21において、前記第1の非晶質半導体膜は、プラズマCVD法により形成することを特徴とする半導体装置の作製方法。

【請求項23】請求項15、請求項21、または請求項22において、前記第2の非晶質半導体膜は、プラズマCVD法により形成することを特徴とする半導体装置の作製方法。

【請求項24】請求項15乃至23のいずれかにおいて、前記第2の導電膜は、透明導電膜であることを特徴とする半導体装置の作製方法。

【請求項25】請求項15乃至23のいずれかにおいて、前記第2の導電膜は、反射性を有する導電膜であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数〜数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されてい

る。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0004】従来より、画像表示装置として液晶表示装置が知られている。パッシブ型の液晶表示装置に比べ高精細な画像が得られることからアクティブマトリクス型の液晶表示装置が多く用いられるようになってきている。アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0005】このようなアクティブマトリクス型の液晶表示装置の用途は広がっており、画面サイズの大面積化とともに高精細化や高開口率化や高信頼性の要求が高まっている。また、同時に生産性の向上や低コスト化の要求も高まっている。

【0006】従来では、300℃以下の低温で大面積の基板上に形成可能であることから非晶質半導体膜として非晶質シリコン膜が好適に用いられている。また、非晶質半導体膜で形成されたチャネル形成領域を有する逆スタガ型（若しくはボトムゲート型）のTFTが多く用いられている。

【0007】

【発明が解決しようとする課題】従来、アクティブマトリクス型の液晶表示装置は、写真蝕刻（フォトリソグラフィ）技術により、最低でも5枚以上のフォトマスクを使用してTFTを基板上に作製していたため製造コストが大きかった。生産性を向上させ歩留まりを向上させるためには、工程数を削減することが有効な手段として考えられる。

【0008】具体的には、TFTの製造に要するフォトマスクの枚数を削減することが必要である。フォトマスクはフォトリソグラフィの技術において、エッチング工程のマスクとするフォトレジストパターンを基板上に形成するために用いる。

【0009】このフォトマスクを1枚使用することによって、レジスト塗布、プレバーク、露光、現像、ポストバークなどの工程と、その前後の工程において、被膜の成膜およびエッチングなどの工程、さらにレジスト剥離、洗浄や乾燥工程などが付加され、煩雑なものとなり、問題となっていた。

【0010】また、基板が絶縁体であるために製造工程中における摩擦などによって静電気が発生していた。この静電気が発生すると基板上に設けられた配線の交差部でショートしたり、静電気によってTFTが劣化または破壊されて液晶表示装置に表示欠陥や画質の劣化が生じていた。特に、製造工程で行われる液晶配向処理のラビ

ング時に静電気が発生し問題となっていた。

【0011】本発明はこのような問題に答えるものであり、アクティブマトリクス型の液晶表示装置に代表される半導体装置において、TFTを作製する工程数を削減して製造コストの低減および歩留まりの向上を実現することを課題としている。

【0012】また、静電気によるTFTの破壊やTFTの特性劣化という問題点を解決しうる構造およびその作製方法を提供することを課題としている。

【0013】

【課題を解決するための手段】上記課題を解決するために、本発明では、まず、フォトマスク1枚目でゲート配線を形成する。

【0014】次いで、ゲート絶縁膜、ノンドープの非晶質シリコン膜（以下、a-Si膜と呼ぶ）、n型を付与する不純物元素を含む非晶質シリコン膜（以下、n⁺a-Si膜と呼ぶ）、及び導電膜を連続的に成膜する。

【0015】次いで、フォトマスク2枚目でゲート絶縁膜、a-Si膜からなる活性層、ソース配線（ソース電極含む）及びドレイン電極をパターンニング形成する。

【0016】その後、透明導電膜を成膜した後に、フォトマスク3枚目で透明導電膜からなる画素電極の形成を行い、さらにn⁺a-Si膜からなるソース領域及びドレイン領域を形成すると同時にa-Si膜の一部を除去する。

【0017】このような構成とすることで、フォトリソグラフィー技術で使用するフォトマスクの数を3枚とすることができる。

【0018】また、ソース配線は画素電極と同じ材料である透明導電膜で覆い、基板全体を外部の静電気等から保護する構造とする。また、透明導電膜で保護回路を形成する構造としてもよい。このような構成とすることで、製造工程において製造装置と絶縁体基板との摩擦による静電気の発生を防止することができる。特に、製造工程で行われる液晶配向処理のラビング時に発生する静電気からTFT等を保護することができる。

【0019】本明細書で開示する発明の構成は、ゲート配線と、ソース配線と、画素電極とを有する半導体装置であって、絶縁表面上に形成されたゲート配線102と、前記ゲート配線上に形成された絶縁膜110と、前記絶縁膜上に形成された非晶質半導体膜122と、前記非晶質半導体膜上に形成されたソース領域123及びドレイン領域124と、前記ソース領域または前記ドレイン領域上に形成されたソース配線125または電極126と、前記電極上に形成された画素電極127とを有し、前記ドレイン領域124または前記ソース領域123の一つの端面は、前記絶縁膜110の端面、前記非晶質半導体膜122の端面、及び前記電極126の端面と概略一致することを特徴とする半導体装置である。

【0020】また、他の発明の構成は、ゲート配線と、

ソース配線と、画素電極とを有する半導体装置であって、絶縁表面上に形成されたゲート配線102と、前記ゲート配線上に形成された絶縁膜110と、前記絶縁膜上に形成された非晶質半導体膜122と、前記非晶質半導体膜上に形成されたソース領域123及びドレイン領域124と、前記ソース領域または前記ドレイン領域上に形成されたソース配線125または電極126と、前記電極上に形成された画素電極127とを有し、前記ドレイン領域124または前記ソース123領域の一つの端面は、前記絶縁膜110の端面、前記非晶質半導体膜122の端面及び前記電極126の端面と概略一致し、もう一つの端面は、前記画素電極127の端面及び前記電極126のもう一つの端面と概略一致することを特徴とする半導体装置である。

【0021】また、上記各構成において、前記ソース領域及び前記ドレイン領域は、n型を付与する不純物元素を含む非晶質半導体膜からなることを特徴としている。

【0022】また、上記各構成において、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、及び前記ドレイン領域は、大気に曝されることなく連続的に形成されたことを特徴としている。

【0023】また、上記各構成において、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、または前記ドレイン領域は、スパッタ法により形成されたことを特徴としている。

【0024】また、上記各構成において、図2(D)に示したように、前記ソース領域123及び前記ドレイン領域124は、前記非晶質半導体膜122及び前記電極126と同一のマスクにより形成されたことを特徴としている。また、前記ソース領域及び前記ドレイン領域は、前記ソース配線125と同一のマスクにより形成されたことを特徴としている。

【0025】また、上記各構成において、図2(D)に示したように、前記ソース領域123及び前記ドレイン領域124は、前記ソース配線125及び前記画素電極127と同一のマスクにより形成されたことを特徴としている。

【0026】また、上記各構成において、図2(D)のエッチング工程によって、前記非晶質半導体膜のうち、前記ソース領域及びドレイン領域と接する領域における膜厚は、前記ソース領域と接する領域と前記ドレイン領域と接する領域との間の領域における膜厚より厚い構成、即ちチャンネルエッチ型のボトムゲート構造となっている。

【0027】また、上記構成を実現するための発明の構成は、第1のマスクを用いてゲート配線102を形成する第1工程と、前記ゲート配線を覆う絶縁膜104を形成する第2工程と、前記絶縁膜上に第1の非晶質半導体膜105を形成する第3工程と、前記第1の非晶質半導体膜上にn型を付与する不純物元素を含む第2の非晶質

半導体膜106を形成する第4工程と、前記第2の非晶質半導体膜上に第1の導電膜107を形成する第5工程と、第2のマスクを用いて前記絶縁膜104、前記第1の非晶質半導体膜105、第2の非晶質半導体膜106、及び前記第1の導電膜107を選択的に除去して配線116（ソース配線及び電極）を形成する第6工程と、前記配線116（ソース配線及び電極）と接して重なる第2の導電膜118を形成する第7工程と、第3のマスクを用いて前記第1の非晶質半導体膜112の一部、第2の非晶質半導体膜114、前記第1の導電膜116、及び前記第2の導電膜118を選択的に除去して、前記第2の非晶質半導体膜からなるソース領域123及びドレイン領域124と、前記第2の導電膜からなる画素電極127とを形成する第8工程と、を有することを特徴とする半導体装置の作製方法である。

【0028】また、上記構成において、前記第2工程から前記第5工程まで、大気に曝されることなく連続的に形成することを特徴としている。

【0029】また、上記各構成において、前記第2工程から前記第5工程まで、同一チャンパー内で連続的に形成することを特徴としている。

【0030】また、上記各構成において、前記絶縁膜は、スパッタ法あるいはプラズマCVD法により形成してもよい。

【0031】また、上記各構成において、前記第1の非晶質半導体膜は、スパッタ法あるいはプラズマCVD法により形成してもよい。

【0032】また、上記各構成において、前記第2の非晶質半導体膜は、スパッタ法あるいはプラズマCVD法により形成してもよい。

【0033】また、上記各構成において、前記第2の導電膜は、透明導電膜、あるいは反射性を有する導電膜であることを特徴としている。

【0034】

【発明の実施の形態】本願発明の実施形態について、以下に説明を行う。

【0035】図1は本発明のアクティブマトリクス基板の平面図の一例であり、ここでは簡略化のため、マトリクス状に配置された複数の画素のうちの1つの画素構成を示している。また、図2及び図3は作製工程を示す図である。

【0036】図1に示すように、このアクティブマトリクス基板は、互いに平行に配置された複数のゲート配線と、各ゲート配線に直交するソース配線を複数有している。

【0037】また、ゲート配線とソース配線とで囲まれた領域には透明導電膜からなる画素電極127が配置されている。また、この画素電極127と重ならないように、透明導電膜128がソース配線と重なっている。

【0038】さらに、画素電極127の下方で隣り合う

2本のゲート配線の間には、ゲート配線102と平行に容量配線103が配置されている。この容量配線103は全画素に設けられており、図2(B)に示す絶縁膜111を誘電体として保持容量を形成している。

【0039】また、ゲート配線102とソース配線125の交差部近傍にはスイッチング素子としてのTFTが設けられている。このTFTは非晶質構造を有する半導体膜（以下、非晶質半導体膜と呼ぶ）で形成されたチャネル形成領域を有する逆スタガ型（若しくはボトムゲート型）のTFTである。

【0040】また、このTFTは、絶縁性基板上に順次、ゲート電極（ゲート配線102と一体形成された）と、ゲート絶縁膜と、 $a-Si$ 膜と、 n^+a-Si 膜からなるソース領域及びドレイン領域と、ソース電極（ソース配線125と一体形成された）及び電極126（以下、ドレイン電極とも呼ぶ）とが積層形成されている。

【0041】また、ゲート配線のうち $a-Si$ 膜と重ならない領域においては、ゲート配線上にはゲート絶縁膜が存在していない。

【0042】従って、電極126と重なる画素電極127はゲート配線と重ならないように形成されている。

【0043】また、ゲート配線とソース配線の交差部においては、ショートしないようにソース配線端部の透明導電膜が除去されている。また、容量配線と画素電極とがショートしないように電極117の端部が除去されている。

【0044】また、ソース配線（ソース電極含む）及びドレイン電極126の下方には、絶縁性基板上に順次、ゲート絶縁膜と、 $a-Si$ 膜と、 n^+a-Si 膜とが積層形成されている。

【0045】また、 $a-Si$ 膜のうち、ソース領域と接する領域とドレイン領域と接する領域との間の領域は、他の領域と比べ膜厚が薄くなっている。膜厚が薄くなったのは、 n^+a-Si 膜をエッチングにより分離してソース領域とドレイン領域とを形成する際、 $a-Si$ 膜の一部が除去されたためである。また、このエッチングによって画素電極の端面、ドレイン電極の端面、及びドレイン領域の端面が一致している。

【0046】また、同様にソース電極を覆う透明導電膜の端面、ソース領域の端面、及びソース配線の端面が一致している。

【0047】以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0048】

【実施例】〔実施例1〕図1～図6、及び図9を用いて本発明の実施例を説明する。本実施例は液晶表示装置の作製方法を示し、基板上に画素部のTFTを逆スタガ型で形成し、該TFTに接続する保持容量を作製する方法について工程に従って詳細に説明する。また、同図には

該基板の端部に設けられ、他の基板に設けた回路の配線と電気的に接続するための入力端子部の作製工程を同時に示す。

【0049】図2(A)において、透光性を有する基板100にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。その他に、石英基板、プラスチック基板などの透光性基板を使用することもできる。

【0050】次いで、導電層を基板全面に形成した後、第1のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極(ゲート電極を含むゲート配線102、容量配線103、及び端子101)を形成する。このとき少なくともゲート電極102の端部にテーパー部が形成されるようにエッチングする。この段階での上面図を図4に示した。

【0051】ゲート電極を含むゲート配線102と容量配線103、端子部の端子101は、アルミニウム(A1)などの低抵抗導電性材料で形成することが望ましいが、A1単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。耐熱性導電性材料としては、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジム)から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜、または前記元素を成分とする窒化物で形成する。また、Ti、Si、Cr、Nd等の耐熱性導電性材料と組み合わせて形成した場合、平坦性が向上するため好ましい。また、このような耐熱性導電性材料のみ、例えばMoとWを組み合わせて形成しても良い。

【0052】液晶表示装置を実現するためには、ゲート電極およびゲート配線は耐熱性導電性材料と低抵抗導電性材料とを組み合わせて形成することが望ましい。この時の適した組み合わせを説明する。

【0053】画面サイズが5型程度までなら耐熱性導電性材料の窒化物から成る導電層(A)と耐熱性導電性材料から成る導電層(B)とを積層した二層構造とする。導電層(B)はAl、Ta、Ti、W、Nd、Crから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜で形成すれば良く、導電層(A)は窒化タンタル(TaN)膜、窒化タングステン(WN)膜、窒化チタン(TiN)膜などで形成する。例えば、導電層(A)としてCr、導電層(B)としてNdを含有するAlとを積層した二層構造とすることが好ましい。導電層(A)は10~100nm(好ましくは20~50nm)とし、導電層(B)は200~400nm(好ましくは250~350nm)とする。

【0054】一方、大画面に適用するには耐熱性導電性

材料から成る導電層(A)と低抵抗導電性材料から成る導電層(B)と耐熱性導電性材料から成る導電層(C)とを積層した三層構造とすることが好ましい。低抵抗導電性材料から成る導電層(B)は、アルミニウム(Al)を成分とする材料で形成し、純Alの他に、0.01~5atomic%のスカンジウム(Sc)、Ti、Nd、シリコン(Si)等を含有するAlを使用する。導電層(C)は導電層(B)のAlにヒロックが発生するのを防ぐ効果がある。導電層(A)は10~100nm(好ましくは20~50nm)とし、導電層(B)は200~400nm(好ましくは250~350nm)とし、導電層(C)は10~100nm(好ましくは20~50nm)とする。本実施例では、Tiをターゲットとしたスパッタ法により導電層(A)をTi膜で50nmの厚さに形成し、Alをターゲットとしたスパッタ法により導電層(B)をAl膜で200nmの厚さに形成し、Tiをターゲットとしたスパッタ法により導電層(C)をTi膜で50nmの厚さに形成した。

【0055】次いで、絶縁膜104を全面に成膜する。絶縁膜104はスパッタ法を用い、膜厚を50~200nmとする。

【0056】例えば、絶縁膜104として窒化シリコン膜を用い、150nmの厚さで形成する。勿論、ゲート絶縁膜はこのような窒化シリコン膜に限定されるものでなく、酸化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。例えば、下層を窒化シリコン膜とし、上層を酸化シリコン膜とする積層構造としても良い。

【0057】次に、絶縁膜104上に50~200nm(好ましくは100~150nm)の厚さで非晶質半導体膜105を、プラズマCVD法やスパッタ法などの公知の方法で全面に形成する(図示せず)。代表的には、シリコンのターゲットを用いたスパッタ法で非晶質シリコン(a-Si)膜を100nmの厚さに形成する。その他、この非晶質半導体膜には、微結晶半導体膜、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用することも可能である。

【0058】次に、一導電型の不純物元素を含有する半導体膜106として、n型を付与する不純物元素を含む非晶質半導体膜106を20~80nmの厚さで形成する。n型を付与する不純物元素を含む非晶質半導体膜106は、プラズマCVD法やスパッタ法などの公知の方法で全面に形成する。代表的には、n'-a-Si:H膜を形成すれば良く、そのためにリン(P)が添加されたシリコンターゲットを用いて成膜する。あるいは、シリコンターゲットを用い、リンを含む雰囲気中でスパッタリングを行い成膜してもよい。或いは、n型を付与する不純物元素を含む非晶質半導体膜106を水素化微結晶シリコン膜(μ c-Si:H)で形成しても良い。

【0059】次に、導電性の金属膜107をスパッタ法や真空蒸着法で形成する。導電性の金属膜107の材料としては、 n^+a-Si 膜106とオーミックコンタクトのとれる金属材料であれば特に限定されず、Al、Cr、Ta、Tiから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜等が挙げられる。ただし、導電性の金属膜107は後のエッチング工程で端子及びゲート配線と十分な選択比を有するものを選ぶ必要がある。本実施例ではスパッタ法を用い、金属膜107として、300~600nmの厚さでCr膜を形成した。(図2(A))

【0060】絶縁膜104、非晶質半導体膜105、一導電型の不純物元素を含有する半導体膜106、及び導電性の金属膜107はいずれも公知の方法で作製するものである。プラズマCVD法やスパッタ法で作製することができる。本実施例では、スパッタ法を用い、ターゲット及びスパッタガスを適宜切り替えることにより連続的に形成した。この時、スパッタ装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に晒すことなく連続して積層させることが好ましい。このように、大気に曝さないことで不純物の混入を防止することができる。

【0061】次に、第2のフォトリソグラフィ工程を行い、レジストマスク108、109を形成し、エッチングにより不要な部分を除去して絶縁膜110、111、配線及び電極(ソース配線)を形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。第2のフォトリソグラフィ工程により、絶縁膜104、非晶質半導体膜105、一導電型の不純物元素を含有する半導体膜106、及び導電性の金属膜107がエッチングされ、画素TF区においては、絶縁膜110、非晶質半導体膜112、一導電型の不純物元素を含有する半導体膜114、及び導電性の金属膜116を形成する。よって、これらの膜の端面は概略一致する。また、容量部においては、絶縁膜111、非晶質半導体膜113、一導電型の不純物元素を含有する半導体膜115、及び導電性の金属膜117を形成する。同様に、これらの膜の端面は一致する。

【0062】また、上記第2のフォトリソグラフィ工程により、端子部においては、端子101のみを残してエッチングする。また、他の配線との交差部のみを残してゲート配線上の絶縁膜を除去する。このため、端子101やゲート配線の材料と絶縁膜は、十分な選択比を有するものを選ぶ必要があり、さらに端子の材料と導電性の金属膜も十分な選択比を有するものを選ぶ必要がある。即ち、端子及びゲート配線の材料と導電性の金属膜とは異なる材料を選択する必要がある。本実施例ではドライエッチングにより、 Cl_2 と O_2 の混合ガスを用いて金属膜107をエッチングし、反応ガスを CF_4 と O_2 の混合ガスに代えて一導電型の不純物元素を含有する半導

体膜106、非晶質半導体膜105、絶縁膜104を選択的に除去した。(図2(B))

【0063】次に、レジストマスク108を除去した後、全面に透明導電膜118を成膜する。(図2

(C)) また、この時の上面図を図5に示す。ただし、簡略化のため図5では全面に成膜された透明導電膜118は図示していない。

【0064】この透明導電膜118の材料は、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金($In_2O_3-SnO_2$ 、ITOと略記する)などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金(In_2O_3-ZnO)を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOと比較して熱安定性にも優れているので、接触する電極116をAl膜で形成しても腐蝕反応をすることを防止できる。同様に、酸化亜鉛(ZnO)も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム(Ga)を添加した酸化亜鉛($ZnO:Ga$)などを用いることができる。

【0065】次に、第3のフォトリソグラフィ工程を行い、レジストマスク119、120、121を形成し、エッチングにより不要な部分を除去して非晶質半導体膜122、ソース領域123及びドレイン領域124、ソース電極125及びドレイン電極126、画素電極127を形成する。(図2(D))

【0066】この第3のフォトリソグラフィ工程は、透明導電膜118をパターニングすると同時に、導電性を有する金属膜116と n^+a-Si 膜114と非晶質半導体膜112の一部をエッチングにより除去して開孔を形成する。本実施例では、まず、ITOからなる画素電極を硝酸と塩酸の混合溶液または塩化系第2鉄系の溶液を用いたウェットエッチングにより選択的に除去し、ウェットエッチングにより導電性を有する金属膜116を除去した後、ドライエッチングにより n^+a-Si 膜114と非晶質半導体膜112の一部をエッチングした。なお、本実施例では、ウェットエッチングとドライエッチングとを用いたが、実施者が反応ガスを適宜選択してドライエッチングのみで行ってもよいし、実施者が反応溶液を適宜選択してウェットエッチングのみで行ってもよい。

【0067】また、開孔の底部は非晶質半導体膜に達しており、凹部を有する非晶質半導体膜114が形成される。この開孔によって導電性を有する金属膜116はソース電極125とドレイン電極126に分離され、 n^+a-Si 膜114はソース領域123とドレイン領域124に分離される。また、ソース電極125と接する透明導電膜128は、ソース配線を覆い、後の製造工程、

特にラビング処理で生じる静電気を防止する役目を果たす。本実施例では、ソース配線上に透明導電膜 128 を形成した例を示したが、上記 ITO 膜のエッチングの際に透明導電膜 128 を除去してもよい。また、上記 ITO 膜のエッチングの際に上記 ITO 膜を利用して静電気から保護するための回路を形成してもよい。

【0068】また、図示しないが、上記第 3 のフォトリソグラフィ工程によりゲート配線上に形成された透明導電膜を選択的に除去するため、ゲート配線は、非晶質半導体膜や金属膜 116 と選択比が必要となる。ただし、ゲート配線端子部には部分的に透明導電膜を残す。

【0069】次に、レジストマスク 119 ~ 121 を除去した。この状態の断面図を図 3 (A) に示した。なお、図 1 は 1 つの画素の上面図であり、A-A' 線及び B-B' 線に沿った断面図がそれぞれ図 3 (A) に相当する。

【0070】また、図 9 (A) は、この状態のゲート配線端子部 501、及びソース配線端子部 502 の上面図をそれぞれ図示している。なお、図 1 ~ 図 3 と対応する箇所には同じ符号を用いている。また、図 9 (B) は図 9 (A) 中の E-E' 線及び F-F' 線に沿った断面図に相当する。図 9 (A) において、透明導電膜からなる 503 は入力端子として機能する接続用の電極である。また、図 9 (B) において、504 は絶縁膜 (110 から延在する)、505 は非晶質半導体膜 (122 から延在する)、506 は n'-a-Si 膜 (123 から延在する) である。

【0071】なお、容量部においては、絶縁膜 111 を誘電体として、容量配線 103 と金属膜 117 (あるいは n'-a-Si 膜 115 あるいは半導体膜) とで保持容量が形成される。

【0072】こうして 3 回のフォトリソグラフィ工程により、3 枚のフォトマスクを使用して、逆スタガ型の n チャネル型 TFT 201 を有する画素 TFT 部、保持容量 202 を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の液晶表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0073】次に、アクティブマトリクス基板の画素部のみに配向膜 130 を選択的に形成する。配向膜 130 を選択的に形成する方法としては、スクリーン印刷法を用いてもよいし、配向膜を塗布後、シャドーマスクを用いてレジストマスクを形成して除去する方法を用いてもよい。通常、液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。

【0074】次に、配向膜 130 にラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにする。

【0075】次いで、アクティブマトリクス基板と、対向電極 132 と配向膜 131 とが設けられた対向基板 133 とをスペーサで基板間隔を保持しながらシール剤により貼り合わせた後、アクティブマトリクス基板と対向基板の間に液晶材料 134 を注入する。液晶材料 134 は公知のものを適用すれば良く代表的には TN 液晶を用いる。液晶材料を注入した後、注入口は樹脂材料で封止する。

【0076】次に、端子部の端子 101 にフレキシブルプリント配線板 (Flexible Printed Circuit: FPC) を接続する。FPC はポリイミドなどの有機樹脂フィルム 138 に銅配線 137 が形成されていて、異方性導電性接着剤で透明導電膜からなる入力端子 129 (図 9 中の 503 に相当する) と接続する。異方性導電性接着剤は接着剤 135 と、その中に混入され金などがメッキされた数十 ~ 数百 μm 径の導電性表面を有する粒子 136 により構成され、この粒子 136 が入力端子 129 と銅配線 137 とに接触することによりこの部分で電気的な接触が形成される。さらに、この部分の機械的強度を高めるために樹脂層 139 を設ける。(図 3 (B))

【0077】図 6 はアクティブマトリクス基板の画素部と端子部の配置を説明する図である。基板 210 上には画素部 211 が設けられ、画素部にはゲート配線 208 とソース配線 207 が交差して形成され、これに接続する n チャネル型 TFT 201 が各画素に対応して設けられている。n チャネル型 TFT 201 のドレイン側には画素電極 127 及び保持容量 202 が接続し、保持容量 202 のもう一方の端子は容量配線 209 に接続している。n チャネル型 TFT 201 と保持容量 202 の構造は図 3 (A) で示す n チャネル型 TFT 201 と保持容量 202 と同じものとする。

【0078】基板の一方の端部には、走査信号を入力する入力端子部 205 が形成され、接続配線 206 によってゲート配線 208 に接続している。また、他の端部には画像信号を入力する入力端子部 203 が形成され、接続配線 204 によってソース配線 207 に接続している。ゲート配線 208、ソース配線 207、容量配線 209 は画素密度に応じて複数本設けられるものであり、その本数は前述の如くである。また、画像信号を入力する入力端子部 212 と接続配線 213 を設け、入力端子部 203 と交互にソース配線と接続させても良い。入力端子部 203、205、212 はそれぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

【0079】〔実施例 2〕図 7 は液晶表示装置の実装方法の一例である。液晶表示装置は、TFT が作製された基板 301 の端部には、入力端子部 302 が形成されこれは実施例 1 で示したようにゲート配線と同じ材料で形成される端子 303 で形成される。そして対向基板 304 とスペーサ 306 を内包するシール剤 305 により貼り合わされ、さらに偏光板 307、308 が設けられて

いる。そして、スペーサ322によって筐体321に固定される。

【0080】なお、実施例1により得られる非晶質シリコン膜で活性層を形成したTFTは、電界効果移動度が小さく $1\text{ cm}^2/\text{Vsec}$ 程度しか得られていない。そのため、画像表示を行うための駆動回路はLSIチップで形成され、TAB (tape automated bonding) 方式やCOG (chip on glass) 方式で実装されている。本実施例では、LSIチップ313に駆動回路を形成し、TAB方式で実装する例を示す。これにはフレキシブルプリント配線板 (Flexible Printed Circuit: FPC) が用いられ、FPCはポリイミドなどの有機樹脂フィルム309に銅配線310が形成されていて、異方性導電性接着剤で入力端子302と接続する。入力端子は配線303上に接して設けられた透明導電膜である。異方性導電性接着剤は接着剤311と、その中に混入され金などがメッキされた数十〜数百 μm 径の導電性表面を有する粒子312により構成され、この粒子312が入力端子302と銅配線310とに接触することにより、この部分で電気的な接触が形成される。そしてこの部分の機械的強度を高めるために樹脂層318が設けられている。

【0081】LSIチップ313はバンプ314で銅配線310に接続し、樹脂材料315で封止されている。そして銅配線310は接続端子316でその他の信号処理回路、増幅回路、電源回路などが形成されたプリント基板317に接続されている。そして、透過型の液晶表示装置では対向基板304に光源319と光導光体320が設けられてバックライトとして使用される。

【0082】【実施例3】本実施例では、保護膜を形成した例を図6に示す。なお、本実施例は、実施例1の図2(D)の状態まで同一であるので異なる点について以下に説明する。また、図2(D)に対応する箇所は同一の符号を用いた。

【0083】まず、実施例1に従って図2(D)の状態を得た後、薄い無機絶縁膜を全面に形成する。この薄い無機絶縁膜としては、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜などの無機絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

【0084】次いで、第4のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して、画素TFT部においては絶縁膜402、端子部においては無機絶縁膜401をそれぞれ形成する。この無機絶縁膜401、402は、パッシベーション膜として機能する。また、端子部においては、第4のフォトリソグラフィ工程により薄い無機絶縁膜401を除去して、端子部の端子101を露呈させる。

【0085】こうして本実施例では、4回のフォトリソグラフィ工程により、4枚のフォトマスクを使用して、無機絶縁膜で保護された逆スタガ型のnチャネル型

TFT、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置し、画素部を構成することによりアクティブマトリクス型の液晶表示装置を作製するための一方の基板とすることができる。

【0086】なお、本実施例は、実施例1または実施例2の構成と自由に組み合わせることが可能である。

【0087】【実施例4】実施例1では、絶縁膜、非晶質半導体膜、n型を付与する不純物元素を含む非晶質半導体膜、及び金属膜をスパッタ法で積層形成した例を示したが、本実施例では、プラズマCVD法を用いた例を示す。

【0088】本実施例では、絶縁膜、非晶質半導体膜、及びn型を付与する不純物元素を含む非晶質半導体膜をプラズマCVD法で形成した。

【0089】本実施例では、絶縁膜として酸化窒化シリコン膜を用い、プラズマCVD法により 150 nm の厚さで形成する。この時、プラズマCVD装置において、電源周波数 $13\sim70\text{ MHz}$ 、好ましくは $27\sim60\text{ MHz}$ で行えばよい。電源周波数 $27\sim60\text{ MHz}$ を使うことにより緻密な絶縁膜を形成することができ、ゲート絶縁膜としての耐圧を高めることができる。また、SiH₄とN₂OにO₂を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているので、この用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、酸化シリコン膜、窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。また、下層を窒化シリコン膜とし、上層を酸化シリコン膜とする積層構造としても良い。

【0090】例えば、酸化シリコン膜を用いる場合には、プラズマCVD法で、オルトケイ酸テトラエチル (Tetraethyl Orthosilicate: TEOS) とO₂とを混合し、反応圧力 40 Pa 、基板温度 $250\sim350^\circ\text{C}$ とし、高周波 (13.56 MHz) 電力密度 $0.5\sim0.8\text{ W}/\text{cm}^2$ で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後 $300\sim400^\circ\text{C}$ の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0091】また、非晶質半導体膜として、代表的には、プラズマCVD法で水素化非晶質シリコン (a-Si:H) 膜を 100 nm の厚さに形成する。この時、プラズマCVD装置において、電源周波数 $13\sim70\text{ MHz}$ 、好ましくは $27\sim60\text{ MHz}$ で行えばよい。電源周波数 $27\sim60\text{ MHz}$ を使うことにより成膜速度を向上することが可能となり、成膜された膜は、欠陥密度の少ないa-Si膜となるため好ましい。その他、この非晶質半導体膜には、微結晶半導体膜、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を

適用することも可能である。

【0092】また、上記絶縁膜及び上記非晶質半導体膜のプラズマCVD法による成膜において、100～100kHzのパルス変調放電を行えば、プラズマCVD法の気相反応によるパーティクルの発生を防ぐことができる、成膜においてピンホールの発生を防ぐことができるため好ましい。

【0093】また、本実施例では、一導電型の不純物元素を含有する半導体膜として、n型を付与する不純物元素を含む非晶質半導体膜を20～80nmの厚さで形成する。例えば、n型のa-Si:H膜を形成すれば良く、そのためにシラン(SiH₄)に対して0.1～5%の濃度でフォスフィン(PH₃)を添加する。或いは、n型を付与する不純物元素を含む非晶質半導体膜106を水素化微結晶シリコン膜(μc-Si:H)で形成しても良い。

【0094】これらの膜は、反応ガスを適宜切り替えることにより、連続的に形成することができる。また、プラズマCVD装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に曝すことなく連続して積層させることもできる。このように、大気に曝さないで連続成膜することで非晶質半導体膜への不純物の混入を防止することができる。

【0095】なお、本実施例は、実施例2と組み合わせることが可能である。

【0096】[実施例5] 実施例1または実施例4では、絶縁膜、非晶質半導体膜、n'-a-Si膜、金属膜を順次、連続的に積層する例を示した。このように連続的に成膜する場合において使用する複数のチャンバーを備えた装置の一例を図10に示した。

【0097】図10に本実施例で示す装置(連続成膜システム)の上面からみた概要を示す。図10において、10～15が気密性を有するチャンバーである。各チャンバーには、真空排気ポンプ、不活性ガス導入系が配置されている。

【0098】10、15で示されるチャンバーは、試料(処理基板)30をシステムに搬入するためのロードロック室である。11は絶縁膜104を成膜するための第1のチャンバーである。12は非晶質半導体膜105を成膜するための第2のチャンバーである。13はn型を付与する非晶質半導体膜106を成膜するための第3のチャンバーである。14は金属膜107を成膜するための第4のチャンバーである。また、20は各チャンバーに対して共通に配置された試料の共通室である。

【0099】以下に動作の一例を示す。

【0100】最初、全てのチャンバーは、一度高真空状態に真空引きされた後、さらに不活性ガス、ここでは窒素によりパージされている状態(常圧)とする。また、全てのゲート弁22～27を閉鎖した状態とする。

【0101】まず、処理基板は多数枚が収納されたカセ

ット28ごとロードロック室10に搬入される。カセットの搬入後、図示しないロードロック室の扉を閉鎖する。この状態において、ゲート弁22を開けてカセットから処理基板30を1枚取り出し、ロボットアーム21によって共通室20に取り出す。この際、共通室において位置合わせが行われる。なお、この基板30は実施例1に従って得られた配線101、102、103が形成されたものを用いた。

【0102】ここでゲート弁22を閉鎖し、次いでゲート弁23を開ける。そして第1のチャンバー11へ処理基板30を移送する。第1のチャンバー内では150℃から300℃の温度で成膜処理を行い、絶縁膜104を得る。なお、絶縁膜としては、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、またはこれらの積層膜等を使用することができる。本実施例では単層の窒化珪素膜を採用しているが、二層または三層以上の積層構造としてもよい。なお、ここではプラズマCVD法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

【0103】絶縁膜の成膜終了後、処理基板はロボットアームによって共通室に引き出され、第2のチャンバー12に移送される。第2のチャンバー内では第1のチャンバーと同様に150℃～300℃の温度で成膜処理を行い、プラズマCVD法で非晶質半導体膜105を得る。なお、非晶質半導体膜としては、微結晶半導体膜、非晶質ゲルマニウム膜、非晶質シリコンゲルマニウム膜、またはこれらの積層膜等を使用することができる。また、非晶質半導体膜の形成温度を350℃～500℃として水素濃度を低減するための熱処理を省略してもよい。なお、ここではプラズマCVD法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

【0104】非晶質半導体膜の成膜終了後、処理基板は共通室に引き出され、第3のチャンバー13に移送される。第3のチャンバー内では第2のチャンバーと同様に150℃～300℃の温度で成膜処理を行い、プラズマCVD法でn型を付与する不純物元素(PまたはAs)を含む非晶質半導体膜106を得る。なお、ここではプラズマCVD法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

【0105】n型を付与する不純物元素を含む非晶質半導体膜の成膜終了後、処理基板は共通室に引き出され、第4のチャンバー14に移送される。第4のチャンバー内では金属ターゲットを用いたスパッタ法で金属膜107を得る。

【0106】このようにして四層が連続的に成膜された被処理基板はロボットアームによってロードロック室15に移送されカセット29に収納される。

【0107】なお、図10に示した装置は一例に過ぎな

いことはいうまでもない。また、本実施例は実施例 1 乃至 4 のいずれか一と自由に組み合わせることが必要である。

【0108】〔実施例 6〕実施例 5 では、複数のチャンバーを用いて連続的に積層する例を示したが、本実施例では図 11 に示した装置を用いて一つのチャンバー内で高真空を保ったまま連続的に積層した。

【0109】本実施例では図 11 に示した装置システムを用いた。図 11 において、40 は処理基板、50 は共通室、44、46 はロードロック室、45 はチャンバー、42、43 はカセットである。本実施例では基板搬送時に生じる汚染を防ぐために同一チャンバーで積層形成した。

【0110】本実施例は実施例 1 乃至 4 のいずれか一と自由に組み合わせることができる。

【0111】ただし、実施例 1 に適用する場合には、チャンバー 45 に複数のターゲットを用意し、順次、反応ガスを入れ替えて絶縁膜 104、非晶質半導体膜 105、n 型を付与する不純物元素を含む非晶質半導体膜 106、金属膜 107 を積層形成すればよい。

【0112】ただし、実施例 3 に適用する場合には、順次、反応ガスを入れ替えて絶縁膜 104、非晶質半導体膜 105、n 型を付与する不純物元素を含む非晶質半導体膜 106 を積層形成すればよい。

【0113】〔実施例 7〕実施例 1 では、 n^+a-Si 膜をスパッタ法で形成した例を示したが、本実施例では、プラズマ CVD 法で形成する例を示す。なお、本実施例は n^+a-Si 膜の形成方法以外は実施例 1 と同一であるため異なる点についてのみ以下に述べる。

【0114】プラズマ CVD 法を用い、反応ガスとしてシラン (SiH_4) に対して 0.1~5% の濃度でフォスフィン (PH_3) を添加すれば、 n^+a-Si 膜を得ることができる。

【0115】〔実施例 8〕実施例 7 では、 n^+a-Si 膜をプラズマ CVD 法で形成した例を示したが、本実施例では、n 型を付与する不純物元素を含む微結晶半導体膜を用いた例を示す。

【0116】形成温度を 80~300℃、好ましくは 140~200℃とし、水素で希釈したシランガス (SiH_4 : $H_2=1:10\sim100$) とフォスフィン (PH_3) との混合ガスを反応ガスとし、ガス圧を 0.1~10 Torr、放電電力を 10~300 mW/cm² とすることで微結晶珪素膜を得ることができる。また、この微結晶珪素膜成膜後にリンをプラズマドーピングして形成してもよい。

【0117】〔実施例 9〕図 12 は COG 方式を用いて、液晶表示装置の組み立てる様子を模式的に示す図である。第 1 の基板には画素領域 803、外部入出力端子 804、接続配線 805 が形成されている。点線で囲まれた領域は、走査線側の IC チップ貼り合わせ領域 80

1 とデータ線側の IC チップ貼り合わせ領域 802 である。第 2 の基板 808 には対向電極 809 が形成され、シール材 810 で第 1 の基板 800 と貼り合わせる。シール材 810 の内側には液晶が封入され液晶層 811 を形成する。第 1 の基板と第 2 の基板とは所定の間隔を持って貼り合わせるが、ネマチック液晶の場合には 3~8 μm 、スメチック液晶の場合には 1~4 μm とする。

【0118】IC チップ 806、807 は、データ線側と走査線側とで回路構成が異なる。IC チップは第 1 の基板に実装する。外部入出力端子 804 には、外部から電源及び制御信号を入力するための FPC (フレキシブルプリント配線板: Flexible Printed Circuit) 812 を貼り付ける。FPC 812 の接着強度を高めるために補強板 813 を設けても良い。こうして液晶表示装置を完成させることができる。IC チップは第 1 の基板に実装する前に電気検査を行えば液晶表示装置の最終工程での歩留まりを向上させることができ、また、信頼性を高めることができる。

【0119】また、IC チップを第 1 の基板上に実装する方法は、異方性導電材を用いた接続方法やワイヤボンディング方式などを採用することができる。図 13 にその一例を示す。図 13 (A) は第 1 の基板 901 に IC チップ 908 が異方性導電材を用いて実装する例を示している。第 1 の基板 901 上には画素領域 902、引出線 906、接続配線及び入出力端子 907 が設けられている。第 2 の基板はシール材 904 で第 1 の基板 901 と接着されており、その間に液晶層 905 が設けられている。

【0120】また、接続配線及び入出力端子 907 の一方の端には FPC 912 が異方性導電材で接着されている。異方性導電材は樹脂 915 と表面に Au などがメッキされた数十~数百 μm 径の導電性粒子 914 から成り、導電性粒子 914 により接続配線及び入出力端子 907 と FPC 912 に形成された配線 913 とが電氣的に接続されている。IC チップ 908 も同様に異方性導電材で第 1 の基板に接着され、樹脂 911 中に混入された導電性粒子 910 により、IC チップ 908 に設けられた入出力端子 909 と引出線 906 または接続配線及び入出力端子 907 と電氣的に接続されている。

【0121】また、図 13 (B) で示すように第 1 の基板に IC チップを接着材 916 で固定して、Au ワイヤ 917 によりスティックドライバの入出力端子と引出線または接続配線とを接続しても良い。そして樹脂 918 で封止する。

【0122】IC チップの実装方法は図 12 及び図 13 を基にした方法に限定されるものではなく、ここで説明した以外にも公知の COG 方法やワイヤボンディング方法、或いは TAB 方法を用いることが可能である。

【0123】本実施例は実施例 1 と組み合わせることが可能である。

【0124】〔実施例10〕実施例1では透過型の液晶表示装置に対応するアクティブマトリクス基板の作製方法を示したが、本実施例では図14を用い、反射型の液晶表示装置に適用する例について示す。

【0125】まず、実施例1と同様にして、図2(B)に示す工程までを行う。そして、有機樹脂膜からなる層間絶縁膜を形成する。次いで、層間絶縁膜の凹凸化処理を行い凹凸部を有する層間絶縁膜601を形成する。この凹凸化処理としては、ファイバーやスペーサを含む有機樹脂膜を塗布する方法を用いてもよいし、マスクを使用して有機樹脂膜を部分的にエッチングして形成する方法を用いてもよいし、マスクを使用して感光性樹脂をエッチングして円柱状とした後、加熱してリフローを施して形成する方法を用いてもよい。

【0126】次いで、層間絶縁膜601に第3のフォトリソグラフィ工程によりソース配線及びドレイン電極に達するコンタクトホールを形成する。また、同工程で保持容量を形成するために電極に達するコンタクトホールを形成するとともに、端子部上の層間絶縁膜を除去する。

【0127】次いで、反射性を有する導電膜(A1、Ag等)を形成する。

【0128】そして、第4のフォトリソグラフィ工程によりレジストマスクパターンを形成し、エッチングによって反射性を有する導電膜からなる画素電極602を形成する。こうして形成された画素電極602は凹凸部を有しており、光を散乱させることができ鏡面化を防止することができる。また、同時にソース電極に達する引き出し配線603を形成する。

【0129】その後の工程は、実施例1と同様であるので省略する。こうして4回のフォトリソグラフィ工程により、4枚のフォトリソマスクを使用して反射型の液晶表示装置に対応したアクティブマトリクス基板を作製することができる。

【0130】また、本実施例は実施例2または実施例3と組み合わせることが可能である。

【0131】〔実施例11〕本願発明を実施して形成されたCMOS回路や画素部は様々な電気光学装置(アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ECディスプレイ)に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【0132】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター(リア型またはフロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図15、図16及び図17に示す。

【0133】図15(A)はパーソナルコンピュータで

あり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を画像入力部2002、表示部2003やその他の信号駆動回路に適用することができる。

【0134】図15(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102やその他の信号駆動回路に適用することができる。

【0135】図15(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205やその他の信号駆動回路に適用できる。

【0136】図15(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302やその他の信号駆動回路に適用することができる。

【0137】図15(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402やその他の信号駆動回路に適用することができる。

【0138】図15(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本願発明を表示部2502やその他の信号駆動回路に適用することができる。

【0139】図16(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808やその他の信号駆動回路に適用することができる。

【0140】図16(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808やその他の信号駆動回路に適用することができる。

【0141】なお、図16(C)は、図16(A)及び図16(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施

例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 16 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IR フィルム等の光学系を設けてもよい。

【0142】また、図 16 (D) は、図 16 (C) 中における光源光学系 2801 の構造の一例を示した図である。本実施例では、光源光学系 2801 は、リフレクター 2811、光源 2812、レンズアレイ 2813、2814、偏光変換素子 2815、集光レンズ 2816 で

【0143】ただし、図 16 に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置での適用例は図示していない。

【0144】図 17 (A) は携帯電話であり、本体 2901、音声出力部 2902、音声入力部 2903、表示部 2904、操作スイッチ 2905、アンテナ 2906 等を含む。本願発明を音声出力部 2902、音声入力部 2903、表示部 2904 やその他の信号駆動回路に適用することができる。

【0145】図 17 (B) は携帯書籍（電子書籍）であり、本体 3001、表示部 3002、3003、記憶媒体 3004、操作スイッチ 3005、アンテナ 3006 等を含む。本発明は表示部 3002、3003 やその他の信号回路に適用することができる。

【0146】図 17 (C) はディスプレイであり、本体 3101、支持台 3102、表示部 3103 等を含む。本発明は表示部 3103 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 10 インチ以上（特に 30 インチ以上）のディスプレイには有利である。

【0147】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1～10 のどのような組み合わせからなる構成を用いても実現することができる。

【0148】

【発明の効果】本発明により、3 回のフォトリソグラフィ工程により、3 枚のフォトマスクを使用して、逆スタガ型の n チャネル型 TFT を有する画素 TFT 部、及び保持容量を備えた液晶表示装置を実現することができる。

【0149】また、保護膜を形成した場合においては、4 回のフォトリソグラフィ工程により、4 枚のフォトマスクを使用して、無機絶縁膜で保護された逆スタガ型の n チャネル型 TFT を有する画素 TFT 部、及び保持容量を備えた液晶表示装置を実現することができる。

【図面の簡単な説明】

【図 1】 本願発明の上面図を示す図。

【図 2】 AM-LCD の作製工程を示す断面図。

【図 3】 AM-LCD の作製工程を示す断面図。

【図 4】 AM-LCD の作製工程を示す上面図。

【図 5】 AM-LCD の作製工程を示す上面図。

【図 6】 液晶表示装置の画素部と入力端子部の配置を説明する上面図。

【図 7】 液晶表示装置の実装構造を示す断面図。

【図 8】 AM-LCD の作製工程を示す断面図。

【図 9】 入力端子部の上面図及び断面図。

【図 10】 製造装置の上面図。

【図 11】 製造装置の上面図。

【図 12】 液晶表示装置の実装を示す図。

【図 13】 液晶表示装置の実装構造を示す断面図。

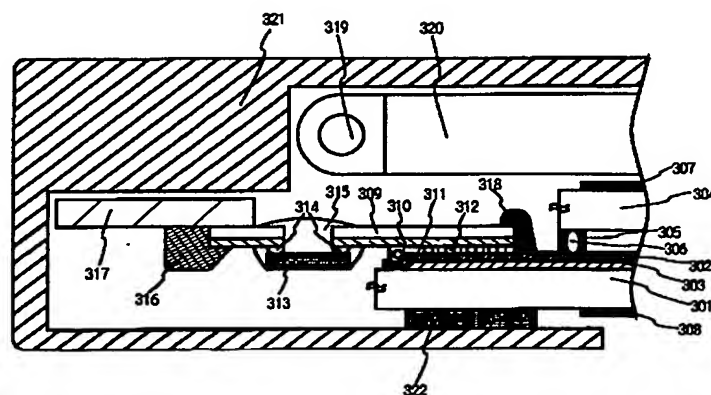
【図 14】 アクティブマトリクス基板の構造断面図。

【図 15】 電子機器の一例を示す図。

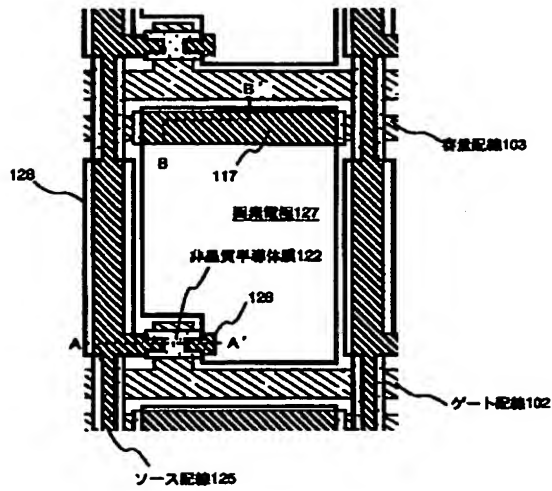
【図 16】 電子機器の一例を示す図。

【図 17】 電子機器の一例を示す図。

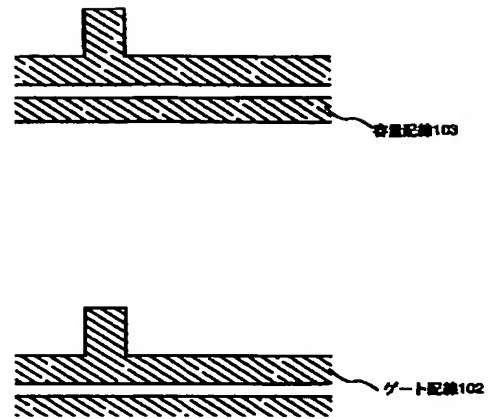
【図 7】



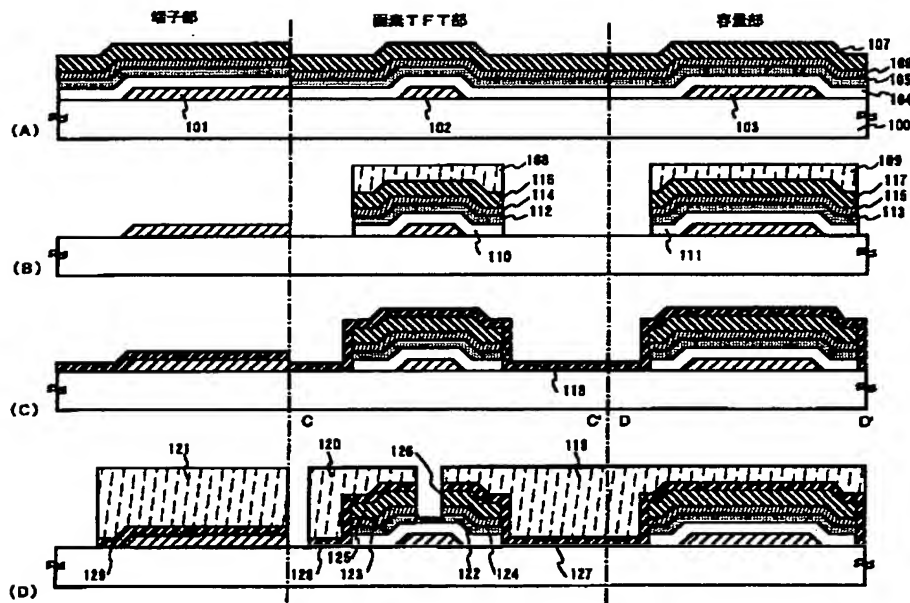
【図1】



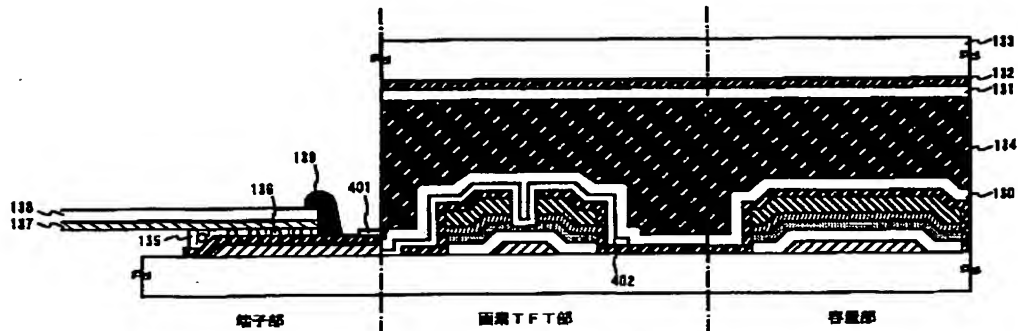
【図4】



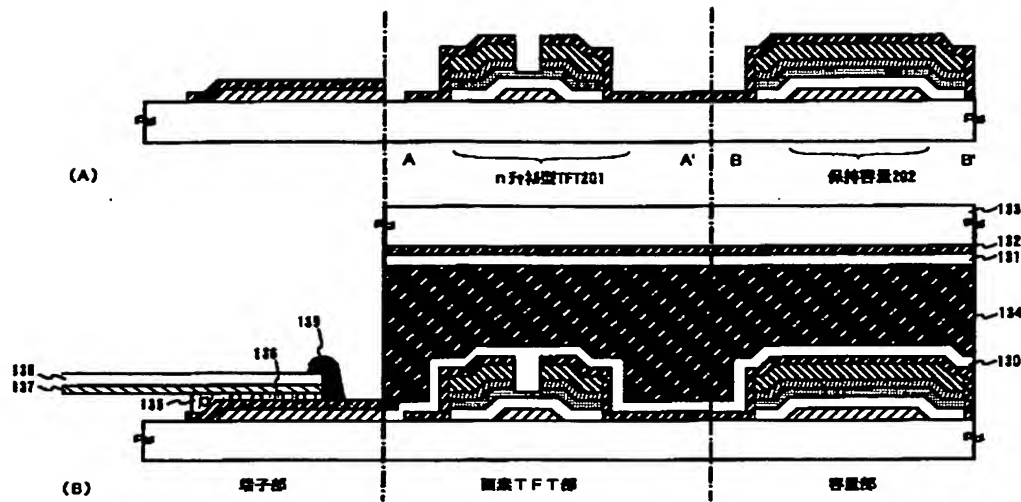
【図2】



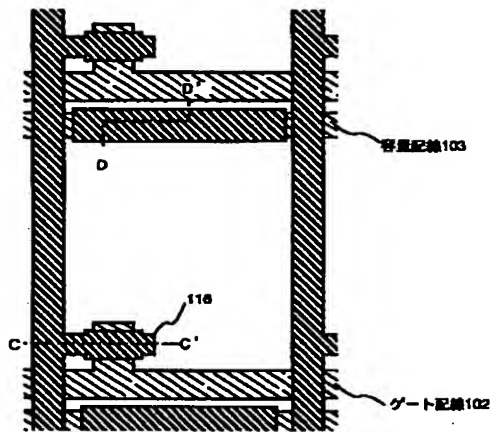
【図8】



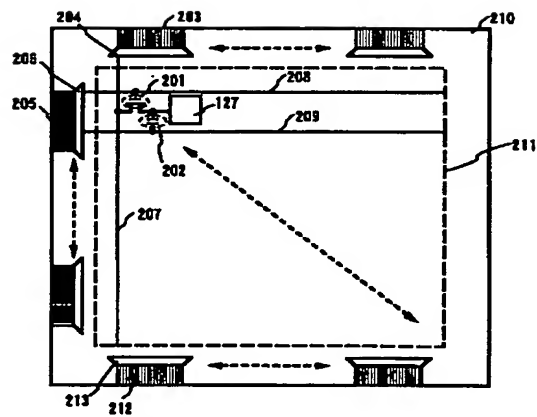
【図3】



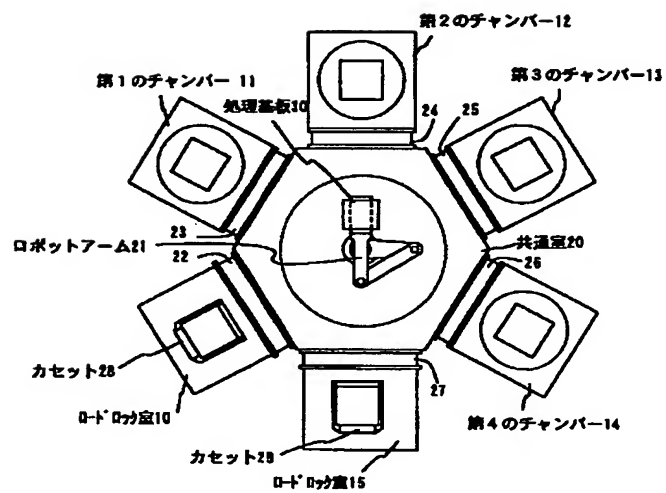
【図5】



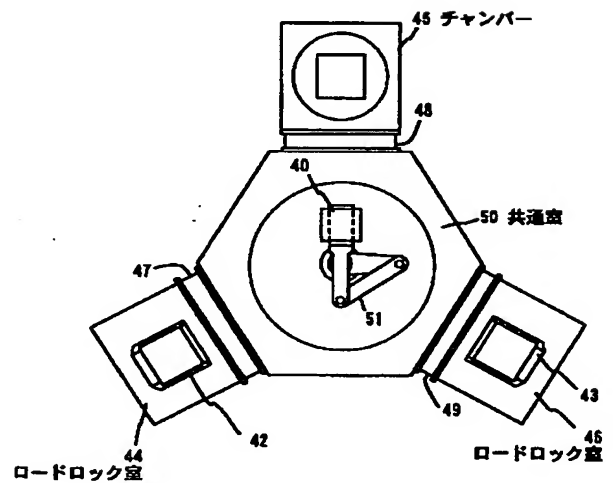
【図6】



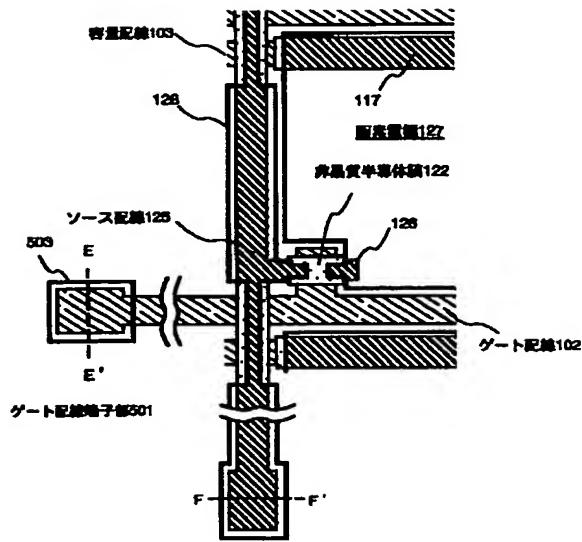
【図10】



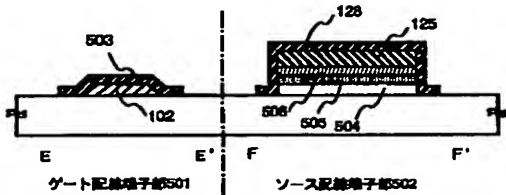
【図11】



【図 9】

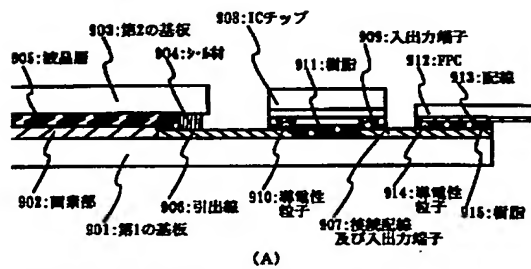


(A) 上面図

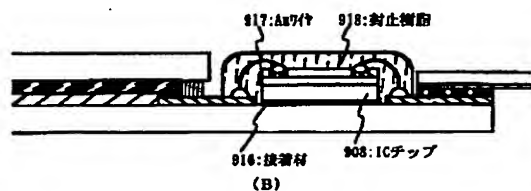


(B) 断面図

【図 13】

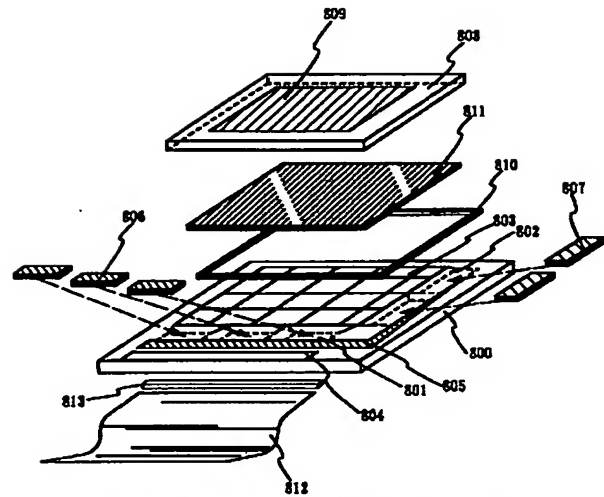


(A)



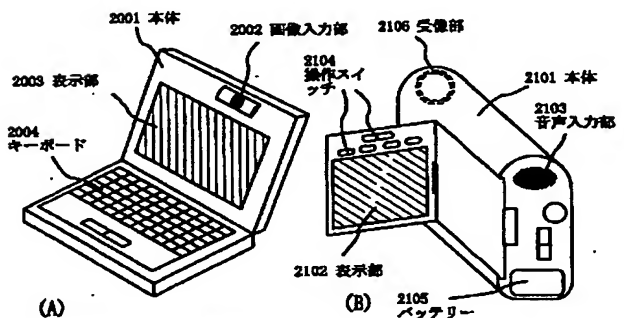
(B)

【図 12】

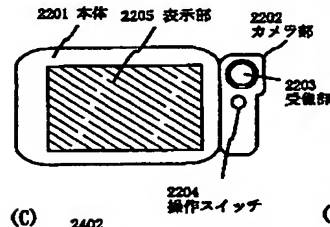


800:第1の基板、801:I Cチップ貼り合わせ領域(ゲート領域)、
802:I Cチップ貼り合わせ領域(ソース領域)、803:画素領域、
804:入力端子、805:接続配線、806:ゲート、807:I Cチップ、
808:第2の基板、809:共通電極、810:パッド、811:液晶、
812:FPC、813:補強板

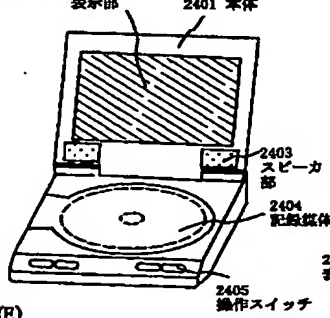
【図 15】



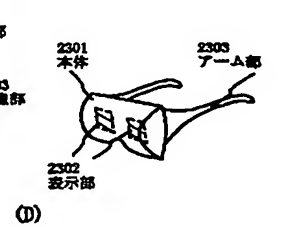
(A)



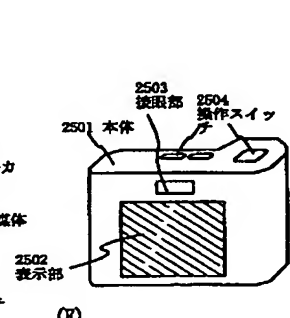
(C)



(E)

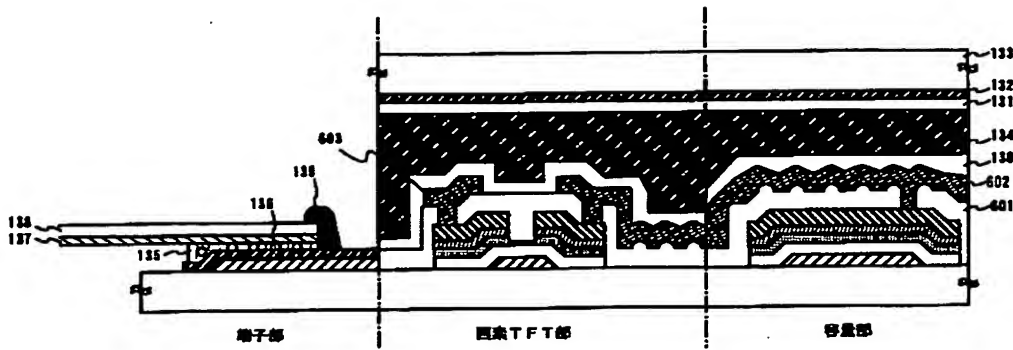


(D)

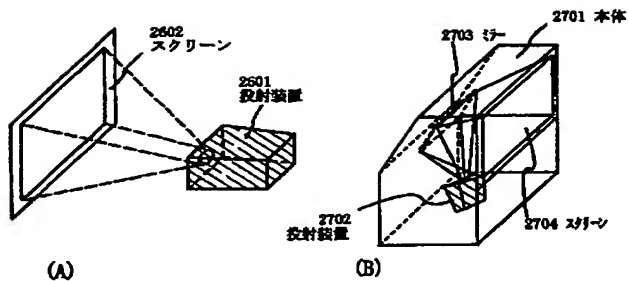


(F)

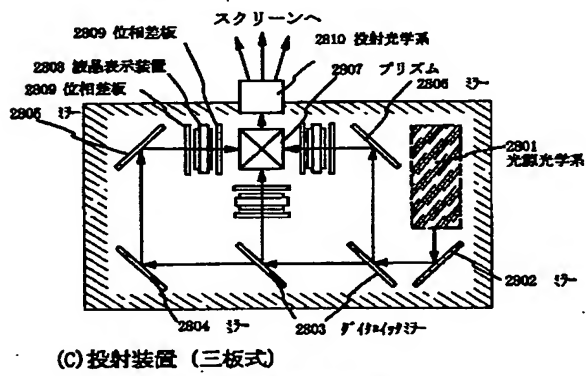
【図 14】



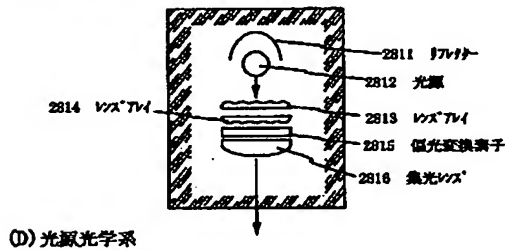
【図 16】



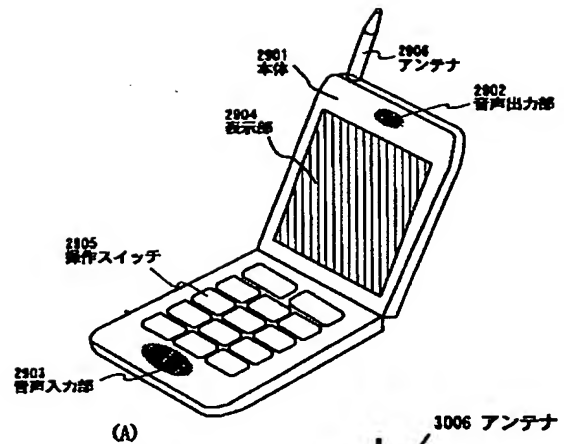
【図 17】



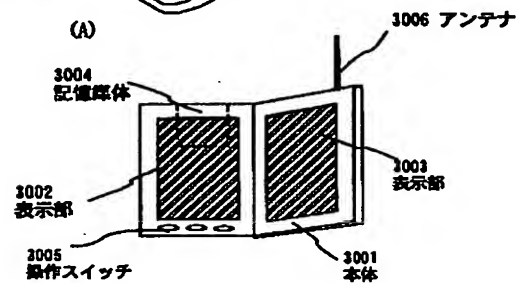
(C) 投射装置 (三板式)



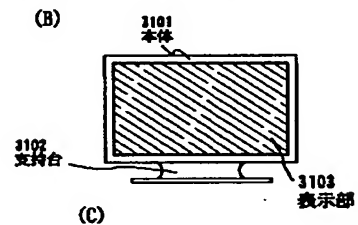
(D) 光源光学系



(A)



(B)



(C)

フロントページの続き

Fターム(参考) 2H092 GA50 GA51 JA24 JA26 JA34
JA37 JA41 KB25 MA05 MA06
MA15 NA27 PA13 RA05
5C094 AA42 AA43 AA44 AA48 BA03
CA19 DA13 DB01 DB04 EA04
EA05 EA06 FA01 FA02 FB02
FB12 FB14 FB15 GB10 HA10
5F110 AA16 AA22 BB01 CC07 DD01
DD02 DD03 EE01 EE03 EE06
EE14 EE15 EE23 EE44 FF01
FF02 FF03 FF04 FF28 FF30
GG01 GG02 GG14 GG15 GG33
GG43 GG45 HK03 HK04 HK06
HK07 HK09 HK15 HK16 HK22
HK25 HK26 HK33 HK35 NN02
NN03 NN22 NN23 NN24 NN34
NN35 NN73 QQ09